

DERWENT- 1998-586706

ACC-NO:

DERWENT- 200110

WEEK:

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Probe card for IC testers - has bump electrode which when contacts wiring layer in LSI chip area, characteristic measurement of internal circuit is then performed

PATENT-ASSIGNEE: YAMAHA CORP[NIHG]

PRIORITY-DATA: 1996JP-0278908 (September 30, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 10107101 A	April 24, 1998	N/A	005	H01L 021/66
JP 3132400 B2	February 5, 2001	N/A	006	H01L 021/66

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10107101A	N/A	1996JP-0278908	September 30, 1996
JP 3132400B2	N/A	1996JP-0278908	September 30, 1996
JP 3132400B2	Previous Publ.	JP 10107101	N/A

INT-CL (IPC): G01R001/073, H01L021/66

ABSTRACTED-PUB-NO: JP 10107101A

BASIC-ABSTRACT:

The card includes a semiconductor substrate (30) on whose undersurface bump electrodes (32) are formed selectively. When the bump electrode contacts a wiring layer (22W) in LSI chip area (22) of a tested wafer, a characteristic measurement of an internal circuit is then performed.

ADVANTAGE - Performs highly precise measurement. Reduces wiring length.

CHOSEN- Dwg.1/10

DRAWING:

TITLE- PROBE CARD IC TEST BUMP ELECTRODE CONTACT WIRE LAYER LSI
TERMS: CHIP AREA CHARACTERISTIC MEASURE INTERNAL CIRCUIT
PERFORMANCE

DERWENT-CLASS: S01 U11

EPI-CODES: S01-H03A; U11-F01C1; U11-F01D1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-457355

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107101

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

B

G 0 1 R 1/073

G 0 1 R 1/073

E

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号

特願平8-278908

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(22) 出願日

平成8年(1996) 9月30日

(72) 発明者 小野 祐吉

静岡県浜松市中沢町10番1号ヤマハ株式会

社内

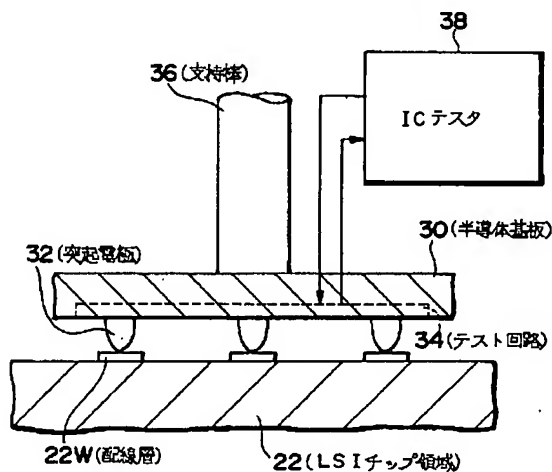
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 I Cテスト用プローブカード

(57) 【要約】

【課題】 プローブ配置の自由度が大きい I Cテスト用
プローブカードを提供する。

【解決手段】 プローブカードのカード本体を半導体基
板30で構成する。基板30には、プローブとしての突
起電極32を複数設ける。被試験ウェハの L S I チップ
領域22において配線層22W等に突起電極32を接触
させた状態で内部回路の特性測定を行なうことができ
る。突起電極32に接続されるテスト回路34を基板3
0に I Cとして形成すると、テスト回路34までの配線
長を短縮することができ、高精度の測定が可能となる。



【特許請求の範囲】

【請求項1】 カード本体を半導体基板で構成すると共に該半導体基板の一方の主表面にプローブとしての突起電極を複数設けたことを特徴とするICテスト用プローブカード。

【請求項2】 前記突起電極に接続されるテスト回路を前記半導体基板に集積回路として形成したことを特徴とする請求項1記載のICテスト用プローブカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、IC（集積回路）テスト用のプローブカードに関し、特にカード本体を構成する半導体基板にプローブとしての突起電極を設けたことによりプローブ配置の自由度を向上させたものである。

【0002】

【従来の技術】従来、ICテストとしては、テストヘッドのテストボードに図8に示すようなプローブカード10を装着してウェハ状態のLSI（大規模集積回路）を試験するものが知られている。

【0003】図9は、被試験ウェハ20を示すもので、ウェハ表面には複数のLSIチップ領域22が形成されている。図8において、22Sは、1つのLSIチップ領域22の輪郭を表わす。プローブカード10の一方の主表面には、細長い針状の多数のプローブ10aがLSIチップ領域22の4辺に対応してリング状に配置されている。

【0004】テストヘッドには、ピンエレクトロニクスと呼ばれるテスト回路が設けられている。テストヘッドのテストボードにプローブカード10を装着すると、各プローブ10aは、テストボード上の対応する配線を介してテストヘッドのテスト回路に接続される。

【0005】ウェハ状態のLSIを試験する際には、図9に示すように被試験ウェハ20内の所望のLSIチップ領域22の上方にプローブカード10を各プローブ10aがウェハ面に対向するように配置する。そして、プローブカード10を矢印A方向に降下させて各プローブ10aを領域22内の対応するボンディングパッド22aに図10に示すように接触させ、このような接触状態において各種の測定を行なう。

【0006】

【発明が解決しようとする課題】上記した従来のプローブカードによると、各プローブ10aが細長い針状であるため、プローブ配置は、列状又はリング状に制限される。また、プローブ間隔は、100μm程度に制限される。

【0007】その上、各ボンディングパッド22aからテスト回路までの配線長は、テストボード、プローブカード10等のサイズで決まる所定の長さより小さくできず、高精度の測定（例えば交流タイミング、電圧等の測

定）に限界が生ずる。

【0008】この発明の目的は、プローブ配置の自由度が大きいICテスト用プローブカードを提供することにある。

【0009】

【課題を解決するための手段】この発明に係るICテスト用プローブカードは、カード本体を半導体基板で構成すると共に該半導体基板の一方の主表面にプローブとしての突起電極を複数設けたことを特徴とするものである。

【0010】この発明の構成によれば、プローブが半導体基板上に突起電極として形成されるので、プローブをLSIチップ領域内の被測定部等に対応して自由に配置可能となる。また、プローブ間隔も従来より小さくすることができる。

【0011】この発明の構成にあつては、突起電極に接続されるテスト回路を半導体基板に集積回路として形成してもよい。このようにすると、テスト回路までの配線長が短縮され、高精度の測定が可能になる。

【0012】

【発明の実施の形態】図1は、この発明の一実施形態に係るICテスト用プローブカードを示すものであり、このプローブカードのカード本体は、シリコン等の半導体基板30からなっている。

【0013】半導体基板30の一方の主表面には、図1～3に示すようにプローブとしての突起電極32が複数設けられる。各突起電極32は、半田バンプ等により構成されるもので、一例として図3に示すように被試験ウェハ20のLSIチップ領域22内の被測定部の配線層22Wに対応して形成される。各突起電極32は、必要に応じてLSIチップ領域22内のボンディングパッド（図9の22aに相当）に対応して形成してもよい。

【0014】半導体基板30の一方の主表面には、図1、2に示すようにテスト回路34が集積回路として形成される。各突起電極32は、対応する配線層32aを介してテスト回路34に接続される。図2に示すように半導体基板30の一方の主表面から他方の主表面に貫通するように貫通配線40が複数設けられ、各貫通配線40は、対応する配線層40aを介してテスト回路34に接続される。テスト回路34は、貫通配線40、ケーブル等を介して図1のICテスト38の本体回路に接続される。テスト回路34としては、被試験LSIに最適化したもの又は必要最小限のものにすることができる。

【0015】各貫通配線40は、一例として図4（A）～（C）のように形成される。すなわち、半導体基板30の一部に配線孔30aを形成した後、配線孔30a内に配線用金属40Aを充填する。そして、半導体基板30を配線用金属40Aが露呈するまで裏側から研磨することにより配線用金属の残存部からなる貫通配線40を得る。

【0016】半導体基板30の他方の主表面には、支持棒36が装着される。半導体基板30は、支持棒36で支持された状態で図1、3に示すように所望のLSIチップ領域22内の被測定部に配置することができる。

【0017】ウェハ状態のLSIを試験する際には、図1、3に示すように所望のLSIチップ領域22内の被測定部の複数の配線層22Wにそれぞれ半導体基板30の複数の突起電極32を接触させ、このような接触状態において各種の測定を行なう。

【0018】図5は、この発明の他の実施形態に係るICテスト用プローブカードを示すものであり、このプローブカードのカード本体は、シリコン等の半導体基板50からなっている。

【0019】半導体基板50の一方の主表面には前述したと同様にしてプローブとしての突起電極52が複数形成されると共に半導体基板50の他方の主表面には前述したと同様にしてテスト回路54が形成される。各突起電極52は、前述したと同様の貫通配線56を介してテスト回路54に接続される。

【0020】半導体基板50の他方の主表面には、端子電極層58が複数形成され、各端子電極層58は、対応する配線層58aを介してテスト回路54に接続される。テスト回路54は、配線層58、ケーブル等を介してICテストの本体回路に接続される。

【0021】図5のプローブカードは、突起電極形成面とは反対側の面にテスト回路を設けた点で図1のプローブカードと異なるが、適当な支持具を装着して図1のものと同様に使用することができる。

【0022】図6は、この発明の更に他の実施形態に係るICテスト用プローブカードを示すものであり、このプローブカードのカード本体は、シリコン等の半導体基板60からなっている。

【0023】半導体基板60の一方の主表面には、プローブとしての突起電極62が複数形成されると共にテスト回路64が集積回路として形成され、各突起電極62は、テスト回路64に接続される。テスト回路64からは端子電極層66が複数導出され、各端子電極層66毎に貫通配線68、半田層70等を介して支持基板72の対応する配線層74に接続される。各配線層74は、ケーブル等を介してICテストの本体回路に接続される。

【0024】支持基板72は、一例としてプリント配線基板からなるもので、配線層74を形成した面とは反対側の面には支持棒76が装着される。なお、プローブカードとしては、半導体基板60に代えて図5の半導体基板50を支持基板72に取付けてもよい。

【0025】図6のプローブカードは、図1のプローブカードとは支持手段が異なるが、図1のものと同様に使用することができる。

【0026】図7は、この発明の更に他の実施形態に係るICテスト用プローブカードを示すものであり、この

プローブカードのカード本体は、シリコン等の半導体基板80からなっている。

【0027】半導体基板80の一方の主表面には、プローブとしての突起電極82が複数形成されると共にテスト回路84が集積回路として形成され、各突起電極82は、テスト回路84に接続される。テスト回路84からは端子電極層86が複数導出され、各端子電極層86は、半導体基板80の端面に終端している。

【0028】支持基板88の一方の主表面には、半導体基板80を装着するための凹部が形成されると共にこの凹部の内部から外部に延長するように配線層90が複数形成される。テスト回路84から導出された各端子電極層86は、支持基板88の対応する配線層90に接続される。各配線層90は、ケーブル等を介してICテストの本体回路に接続される。支持基板88の他方の主表面には、支持棒92が装着される。

【0029】図7のプローブカードは、図1のプローブカードとは支持手段が異なるが、図1のものと同様に使用することができる。

【0030】この発明の実施形態に係るプローブカードによれば、プローブを半導体基板上に突起電極として形成したので、リング状、列状に限らず、任意の形状にプローブを配置することができる。また、プローブ間隔も、数10 μ m程度に小さくすることができる。

【0031】その上、テスト回路をカード本体としての半導体基板に集積回路として形成したので、各プローブの接触部からテスト回路までの配線長を最小にすることができ、配線の抵抗や静電容量に影響されずに精度の高い測定を行なうことができる。

【0032】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、図6の実施形態にあっては、テスト回路64を支持基板72において支持棒76側の面に回路64'として形成してもよく、あるいは配線層74側の面に回路64''として形成してもよい。また、図7の実施形態にあっては、テスト回路84を支持基板88において支持棒92側の面に回路84'として形成してもよい。これらの改変形態でも、従来より配線長を短縮可能である。

【0033】

【発明の効果】以上のように、この発明によれば、プローブを半導体基板上に突起電極として形成したので、プローブ配置の自由度が大幅に向上すると共にプローブ間隔の狭小化が可能となる効果が得られるものである。

【0034】その上、プローブを設けた半導体基板にテスト回路を集積回路として形成したので、テスト回路までの配線長が大幅に短縮され、高精度の測定が可能になる効果も得られる。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係るプローブカード

を示す断面図である。

【図2】 図1のプロブカードをウェハ対向面から見た状態を示す斜視図である。

【図3】 図1のプロブカードをウェハに対向させた状態を示す斜視図である。

【図4】 図1のプロブカードの貫通配線を形成する方法を説明するための断面図である。

【図5】 この発明の他の実施形態に係るプロブカードを示す断面図である。

【図6】 この発明の更に他の実施形態に係るプロブカードを示す断面図である。

【図7】 この発明の更に他の実施形態に係るプロブ

カードを示す断面図である。

【図8】 従来のプロブカードのプロブ配置を示す平面図である。

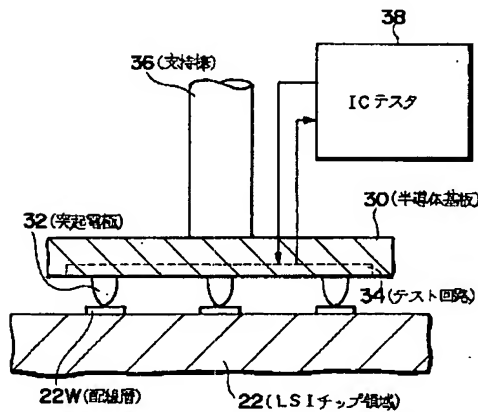
【図9】 従来のプロブカードをウェハに対向させた状態を示す斜視図である。

【図10】 プロブをボンディングパッドに接触させた状態を示す断面図である。

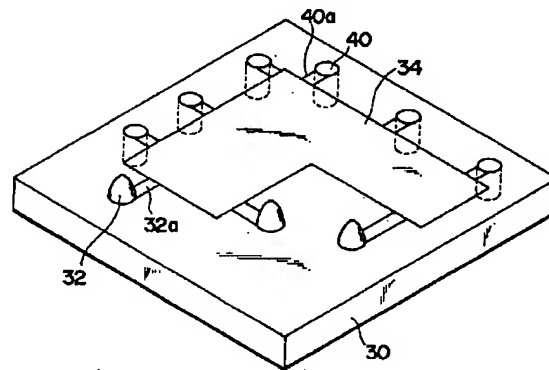
【符号の説明】

30, 50, 60, 80: 半導体基板、32, 52, 62, 82: 突起電極、34, 54, 64, 64', 64'', 84, 84': テスト回路、36, 76, 92: 支持棒、72, 88: 支持基板。

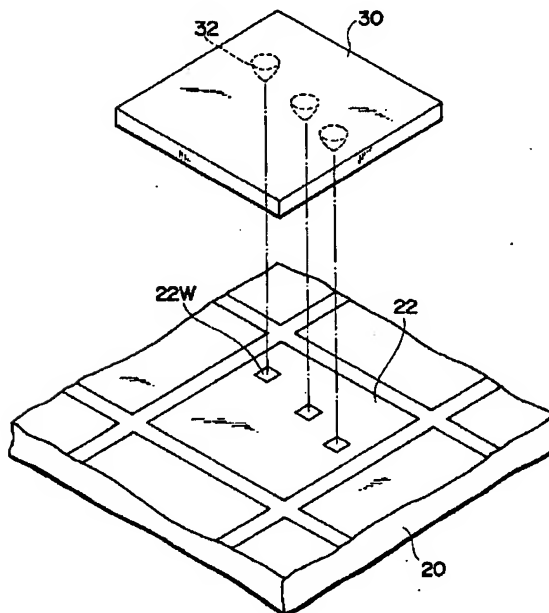
【図1】



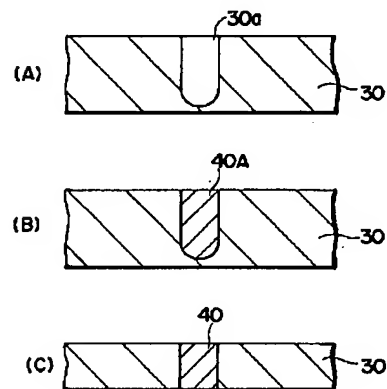
【図2】



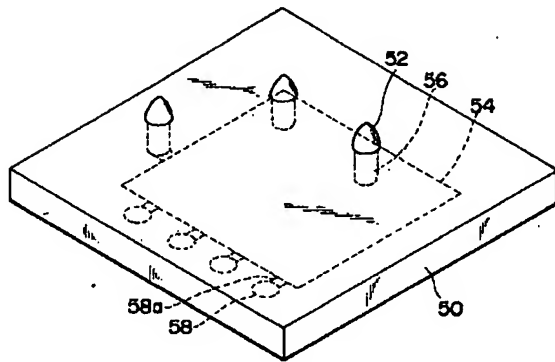
【図3】



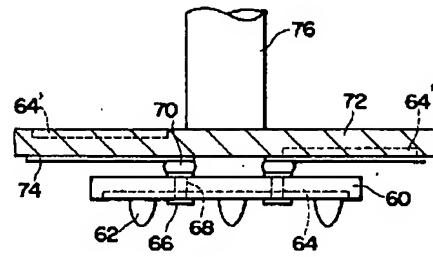
【図4】



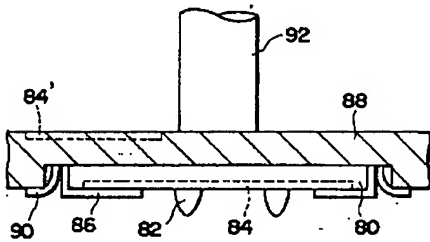
【図5】



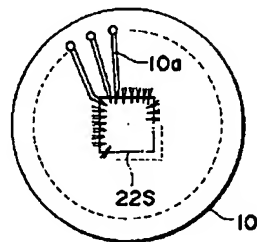
【図6】



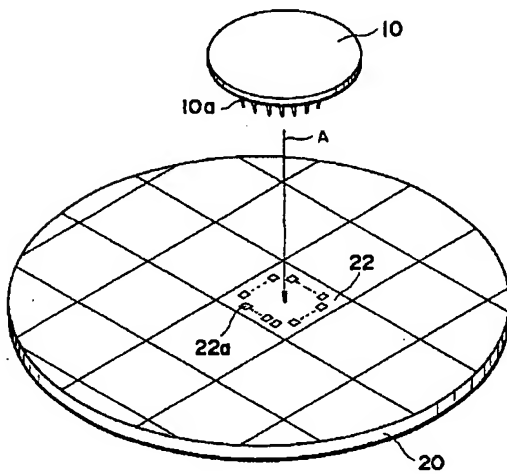
【図7】



【図8】



【図9】



【図10】

